

# Light emitting element and method of manufacturing the same

Publication number: TW565954B

Publication date: 2003-12-11

Inventor: IKEDA SHUNICHI (JP); YAMADA MASAHIRO (JP);  
NOTO NOBUHIKO (JP); NOZAKI SHINJI (JP);  
UCHIDA KAZUO (JP)

Applicant: SHINETSU HANDOTAI KK (JP); NANOTECO CORP  
(JP)

Classification:

- international: **H01L33/00; H01L33/00; (IPC1-7): H01L33/00**

- European:

Application number: TW20020122275 20020927

Priority number(s): JP20010297927 20010927; JP20020259396 20020904

Also published as:

US6787383 (B2)  
US2003059972 (A1)  
JP2003174197 (A)

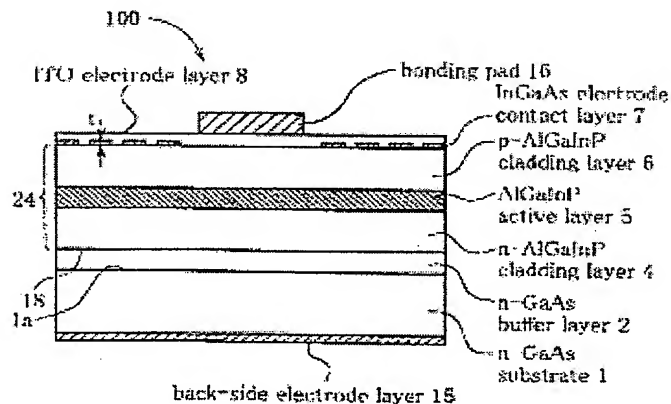
[View INPADOC patent family](#)

[View list of citing documents](#)

[Report a data error here](#)

## Abstract of TW565954B

The light emitting element 100 has the ITO transparent electrode layer 8 for applying light emission drive voltage to the light emitting layer 24, and the light from the light emitting layer 24 is taken out in such a form that it transmits through the ITO transparent electrode layer 8. Moreover, between the light emitting layer 24 and the ITO transparent electrode layer 8, an electrode junction layer 8 consisting of GaAs containing In is arranged such that it contacts with the ITO transparent electrode layer. At the junction interface of the ITO transparent electrode layer 8, an area where the electrode junction layer 7 is made and an area where it is not made exist mixedly. The electrode junction layer 7 forms a GaAs layer 7''' on the light emitting layer, and it is made by diffusing In from the ITO transparent electrode layer 8 to the GaAs layer 7''' by heat-treating a stack 13 where the ITO transparent electrode layer 8 is made to contact with the GaAs layer 7'''. Thus, the present invention provides a manufacturing method for a light emitting element in which the contact resistance of an electrode is reduced by joining an ITO transparent electrode layer as the electrode for light emission drive via an electrode junction layer, and which is hardly influenced by the difference of a lattice constant from a light emitting layer at



# 發明專利說明書

565954

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號： 9122275 ※IPC分類： H01L33/00

※ 申請日期： 91-9-27

## 壹、發明名稱

(中文) 發光元件及發光元件之製造方法

(英文) \_\_\_\_\_

## 貳、發明人(共6人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 池田 俊一

(英文) \_\_\_\_\_

(中文) 日本群馬縣安中市磯部2丁目13番1號

住居所地址： 信越半導體股份有限公司 磯部工場內

(英文) \_\_\_\_\_

國籍：(中文) 日本

(英文) \_\_\_\_\_

## 參、申請人(共2人)

申請人 1 (如發明人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 信越半導體股份有限公司

(英文) \_\_\_\_\_

住居所或營業所地址：(中文) 日本東京都千代田區丸之內1-4-2

(英文) \_\_\_\_\_

國籍：(中文) 日本

(英文) \_\_\_\_\_

代表人：(中文) 小柳俊一

(英文) \_\_\_\_\_

☐ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

## 發明人 2

姓名：(中文)山田 雅人

(英文)

(中文)日本群馬縣安中市磯部 2 丁目 13 番 1 號

住居所地址：信越半導體股份有限公司 磯部工場內

(英文)

國籍：(中文)日本

(英文)

## 發明人 3

姓名：(中文)能登 宣彥

(英文)

(中文)日本群馬縣安中市磯部 2 丁目 13 番 1 號

住居所地址：信越半導體股份有限公司 半導體磯部研究所內

(英文)

國籍：(中文)日本

(英文)

## 發明人 4

姓名：(中文)野崎 真次

(英文)

住居所地址：(中文)日本神奈川縣川崎市杉形 6-5-2 芳香花園向丘遊園 308

(英文)

國籍：(中文)日本

(英文)

## 發明人 5

姓名：(中文)內田 和男

(英文)

住居所地址：(中文)日本東京都大田區久原 4-5-7

(英文)

國籍：(中文)日本

(英文)

## 發明人 6

姓名：(中文)森崎 弘

(英文)

住居所地址：(中文)日本埼玉縣鶴島市鶴丘 27-16-606

(英文)

國籍：(中文)日本

(英文)

申請人 2

姓名或名稱：(中文)耐諾鐵克股份有限公司

(英文)

住居所或營業所地址：(中文)日本東京都三鷹市下連雀 3-38-4

三鷹產業大廈 408

(英文)

國籍：(中文)日本

(英文)

代表人：(中文)加藤修一

(英文)

#### 肆、中文發明摘要

發光元件 100，具有用以對發光層部 24 施加發光驅動電壓之 ITO 透明電極層 8，來自發光層部 24 之光，以穿透該 ITO 透明電極層 8 之形態射出。又，發光層部 24 與 ITO 透明電極層 8 之間，以和該 ITO 透明電極層接觸之方式配置有由含有 In 之 GaAs 構成之電極接合層 7，於 ITO 透明電極層 8 之接合界面，電極接合層 7 之形成區域與非形成區域係混合存在。該電極接合層 7，係於發光層部上形成 GaAs 層 7''，對形成有 ITO 透明電極層 8(以和該 GaAs 層 7''接觸之方式形成)之積層體 13 進行熱處理，使 In 從 ITO 透明電極層 8 擴散至 GaAs 層 7''而形成。據此，提供一種將 ITO 透明電極層透過電極接合層加以接合以作為發光驅動用電極，降低該電極之接觸電阻，且電極接合層之形成時不易受與發光層部之晶格常數差影響的發光元件之製造方法。

#### 伍、英文發明摘要

陸、(一)、本案指定代表圖爲：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

1	n 型 GaAs 結晶基板
1a	n-GaAs 結晶基板之第 1 主表面
2	n 型 GaAs 緩衝層
4	n-AlGaInP 包覆層
5	AlGaInP 活性層
6	p-AlGaInP 包覆層
7	InGaAs 電極接合層
8	ITO 透明電極層
15	裡面電極層
16	結合墊
24	發光層部
t	InGaAs 電接合層之厚度

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 捌、聲明事項

☐ 本案係符合專利法第二十二條第一項第一款但書或第二款但書規定之期間，其日期為\_\_\_\_\_

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. \_\_\_\_\_
2. \_\_\_\_\_
3. \_\_\_\_\_

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 日本；2001.09.27.；2001-297927
2. 日本；2002.09.04.；2002-259396
3. \_\_\_\_\_
4. \_\_\_\_\_
5. \_\_\_\_\_
6. \_\_\_\_\_
7. \_\_\_\_\_
8. \_\_\_\_\_
9. \_\_\_\_\_
10. \_\_\_\_\_

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. \_\_\_\_\_
2. \_\_\_\_\_
3. \_\_\_\_\_

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. \_\_\_\_\_
2. \_\_\_\_\_
3. \_\_\_\_\_

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. \_\_\_\_\_
2. \_\_\_\_\_
3. \_\_\_\_\_

☐ 熟習該項技術者易於獲得，不須寄存。

## 玖、發明說明

### [發明所屬之技術領域]

本發明，係關於發光元件及發光元件之製造方法。

### [先前技術]

以  $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$  混晶體(其中， $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ，以下，亦稱  $\text{AlGaInP}$  混晶體、或僅稱為  $\text{AlGaInP}$ )，形成發光層部之發光元件，藉採用雙異(double hetero)構造(將薄  $\text{AlGaInP}$  活性層，以帶隙大於其之  $n$  型  $\text{AlGaInP}$  包覆層與  $p$  型  $\text{AlGaInP}$  包覆層將之挾成三明治狀)，即能實現高亮度之元件。此外，近年來，使用  $\text{In}_x\text{Ga}_y\text{Al}_{1-x-y}\text{N}$ (其中， $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ， $x + y \leq 1$ )，來形成相同雙異構造之藍色發光元件亦已實用化。

例如，若以  $\text{AlGaInP}$  發光元件為例，於  $n$  型  $\text{GaAs}$  基板上異質磊晶成長的狀態，以  $n$  型  $\text{GaAs}$  緩衝層、 $n$  型  $\text{AlGaInP}$  包覆層、 $\text{AlGaInP}$  活性層、 $p$  型  $\text{AlGaInP}$  包覆層之順序加以積層，來構成雙異構造之發光層部。對發光層部之通電，係透過元件表面形成之金屬電極進行。此處，由於金屬電極具有遮光體之功能，因此，例如係以僅覆蓋發光層部主表面中央部之形態形成，使光線自其周圍之電極非形成區域射出。

此場合，由於使金屬電極之面積越小，越能使電極周圍所形成之光漏出區域之面積越大，因此就提昇光射出效率之觀點而言，是非常有利的。以往，雖亦嘗試在電極形狀上下工夫，以更有效果的擴大元件內之電流來增加光射



出量，但此種嘗試亦無法避免電極面積之增大，因光漏出面積的減少反而限制了光射出量。於是，例如在日本專利特開平 6-188455 號或特開平 1-225178 號等各公報中，提出一種取代金屬電極，以高導電率之 ITO(Indium Tin Oxide：氧化銦錫)透明電極層覆蓋發光層主表面，來提高光射出效率的提案。

然而，根據本案發明人等之檢討，得知由 ITO 構成之透明電極，若直接使用的話，則與元件側化合物半導體層之接觸電阻易變高，而不易避免串聯電阻增大所導致之發光效率的降低。例如，特開平 1-225178 號公報中，揭示了一種以對應 ITO 透明導電層全面之形態，將由 InGaAs 層所構成之電極接合層介入與元件側化合物半導體層之間，來減少接觸電阻的方法。但爲了確保電阻性接觸(Ohmic contact)，不得不以帶隙能量較低之 InGaAs 等來構成電極接合層，即使形成得非常薄，亦不易避免一光吸收造成之射出效率的降低。又，即使是使用透明電極之場合，於元件化時，亦必須將用以接合通電用金屬線之金屬製結合墊配置於透明電極上。此時，由於驅動電壓易集中於導電性良好之金屬製結合墊的形成區域，因此，在作爲光射出區域之墊周圍區域，會因電流不足而易使光射出效率降低，進一步的，採用透明電極之效果亦不見得能充分發揮。

#### [發明內容]

本發明之課題，在提供一種具有氧化物透明電極層以作爲發光驅動用之電極，且能更爲有效發揮使用氧化物透

明電極層所帶來之光射出效率改善效果的發光元件、及其製造方法。

本發明之發光元件，其特徵在於：具有由化合物半導體層構成之發光層部、與用以對該發光層部施加發光驅動電壓之氧化物透明電極層，其前提為使發自發光層部之光穿透氧化物透明電極層之形態射出，於發光層部與氧化物透明電極層之間，將用以減少氧化物透明電極層之接合電阻之電極接合層，配置成與該氧化物透明電極層接觸，於氧化物透明電極層之接合界面，電極接合層之形成區域與非形成區域係混合存在。前述電極接合層，最好是由化合物半導體構成。

如前所述，ITO 等之透明電極，欲與元件側化合物半導體層直接接合時，不一定會形成良之電阻接合，有可能因肇因於接觸電阻之串聯電阻增大使得發光效率降低。然而，本發明之發光元件，係將用以減少氧化物透明電極層之接合電阻之電極接合層，配置成與該氧化物透明電極層之元件側接觸，因此能降低氧化物透明電極層之接觸電阻。再者，於氧化物透明電極層之接合界面，由於電極接合層之形成區域與非形成區域係混合存在，因此，即使在電極接合層具有易吸收來自發光層部之光之性質時，於電極接合層之形成區域正下方產生之光，亦會因從與此鄰接之非形成區域漏出，而能抑制電極接合層之光吸收。以此方式形成電極接合層，即能提高元件全體之光射出效率。

以覆蓋氧化物透明電極層與元件側之接合面全面之方

式，來形成電極接合層的話，除上述外，會產生下列問題。

(1)在金屬線接合用之結合墊正下方區域，亦改善了氧化物透明電極層之接觸電阻的結果，驅動電流進而發光易集中於該區域，所產生之大部分的光會被結合墊遮蔽而導致光射出效率降低。

(2)由於作為電極接合層所採用之化合物半導體材質，使電極接合層作用為光吸收體，同樣的會招致光射出效率的降低。

為解決上述問題，本發明發光元件之第 1 構成，其特徵在於，氧化物透明電極層之接合界面，具有由結合墊正下方區域所構成之第 1 區域與殘餘之第 2 區域，前述第 2 區域之光射出量多於第 1 區域，前述電極接合層於前述第 2 區域中，形成面積率大於前述第 1 區域。

根據上述構成，由於係使光射出量較少之結合墊正下方區域(第 1 區域)中，於氧化物透明電極層之接合界面形成之電極接合層之形成面積率，小於光射出量較多之殘餘區域(第 2 區域)，因此，第 1 區域中氧化物透明電極層之接觸電阻會增大。其結果，發光元件之驅動電流，繞過第 1 區域流至第 2 區域之成分變大，能大幅提高光射出效率。又，就提昇光射出效率之觀點而言，最好是盡可能的不使發光驅動電流流至光射出量較少之第 1 區域。因此，在可能範圍內，第 1 區域中以不形成電極接合層較佳。此外，氧化物透明電極層之接合界面中，至少在將來自發光層部之光射出至外部較多的第 2 區域中，電極接合層之形成區域

與非形成區域最好是混合存在。

其次，本發明發光元件之第 2 構成，其特徵在於：具有由化合物半導體層構成之發光層部、與用以對該發光層部施加發光驅動電壓之氧化物透明電極層，其前提為使發自發光層部之光穿透氧化物透明電極層之形態射出，於發光層部與氧化物透明電極層之間，將用以減少氧化物透明電極層之接合電阻、由化合物半導體構成之電極接合層，配置成與該氧化物透明電極層接觸，並且，於氧化物透明電極層之接合界面，具有由結合墊正下方區域所構成之第 1 區域與殘餘之第 2 區域，第 2 區域之光射出量多於第 1 區域，至少第 2 區域中，電極接合層之形成區域與非形成區域最好是混合存在。電極接合層之形成區域，最好是分散形成。

根據上述構造，即使為降低氧化物透明電極層之接觸電阻所形成之電極接合層，具有易吸收來自發光層部之光之性質時，於電極接合層之形成區域正下方產生之光，亦會因從與此鄰接之非形成區域漏出，而能抑制電極接合層之光吸收。其結果，能提高元件全體之光射出效率。

其次，電極接合層，具體而言，使用與氧化物透明電極層之接合界面不含 Al、且帶隙能量小於 1.42eV 之化合物半導體構成者，其減少氧化物透明電極層之接觸電阻的效果較佳，本發明中非常適合採用。使用此種電極接合層，能降低氧化物透明電極層之接觸電阻之理由如下。

(1)例如，習知發光元件中，氧化物透明電極層係以接

觸 AlGaAs 電流擴散層之形態形成，為充分確保電流擴散層之透光性，必須相當程度的提高 AlAs 混晶比。然而，高 AlAs 混晶比之 AlGaAs 混晶，由於含有高濃度之 Al 因此非常容易氧化，形成氧化物透明電極層後，該層中所含之氧將會與 AlGaAs 電流擴散層中之 Al 成分結合而形成高電阻率之氧化層。

(2)高 AlAs 混晶比之 AlGaAs 混晶，雖會因混晶比而有不同，但一般作為電流擴散層所使用者，其帶隙能量高達  $2.02 \sim 2.13\text{eV}$ ，與氧化物透明電極層之間，不易形成電阻接觸或與其接近之低電阻率之接觸(例如  $10^{-4}\Omega \cdot \text{cm}$  以下：以下，將此等通稱為電阻(ohmic)狀接觸)。此外，不使用 AlGaAs 而直接在 AlGaInP 包覆層上直接接觸氧化物透明電極層之場合，亦將因帶隙能量高達  $2.3 \sim 2.35\text{eV}$  且含有 Al，因此會產生與上述 AlGaAs 之情形相同的問題。

因此，在與氧化物透明電極層之接合界面，使電極接合層為上述構成的話，由於該電極接合層之該接合界面不含 Al，因此高電阻率之氧化層不易形成，且由於帶隙能量小(不滿  $1.42\text{eV}$ ：例如採用  $\text{In}_{0.5}\text{Ga}_{0.5}\text{As}$  時，為  $0.75\text{eV}$ )，因此能容易的實現電阻狀接觸。其結果，能大幅降低透明電極層之接觸電阻。構成電極接合層之化合物半導體，在與氧化物透明電極層之接合界面，具體而言，可以  $\text{In}_x\text{Ga}_{1-x}\text{As}(0 < x \leq 1)$  來構成。

其次，氧化物透明電極層之材質，可使用以氧化錫( $\text{SnO}_2$ )或氧化銦( $\text{In}_2\text{O}_3$ )為主體者。具體而言，氧化物透明電

極層中 ITO 為高導電率，非常適合用於本發明。ITO 係摻雜氧化錫之氧化銦膜，藉由使氧化錫之含有量為 1~9 質量%，即能使電極層之電阻率為  $5 \times 10^{-4} \Omega \cdot \text{cm}$  以下之充分低的值。又，ITO 透明電極層以外，氧化鋅(ZnO)電極層為高導電率，亦能用於本發明。此外，作為氧化物透明電極層之材質，亦可使用摻雜氧化銻之氧化錫、 $\text{Cd}_2\text{SnO}_4$ 、 $\text{Zn}_2\text{SnO}_4$ 、 $\text{ZnSnO}_4$ 、 $\text{MgIn}_2\text{O}_4$ 、摻雜氧化釔(Y)之  $\text{CdSb}_2\text{O}_6$ 、摻雜氧化錫之  $\text{GaInO}_3$  等。亦即，氧化物透明電極層可包含銦、錫、鋅之任一者。

此等氧化物透明電極層，可使用周知之氣相成膜法，例如，化學氣相沉積法(chemical vapor deposition: CVD)或濺鍍、真空蒸鍍等之物理氣相沉積法(physical vapor deposition: PVD)、或分子線磊晶成長法(molecular beam epitaxy: MBE)來加以形成。例如，ITO 透明電極層、ZnO 電極層可使用高頻濺鍍或真空蒸鍍法加以製造，又，氧化錫膜可使用 CVD 法加以製造。此外，取代此等氣相成長法，使用溶膠－凝膠法等其他方法來形成亦可。

氧化物透明電極層，可使用覆蓋發光層部之主表面全面的形態來加以形成。以此方式構成的話，可使氧化物透明電極層具有電流擴散層之功能，不需形成習知以化合物半導體所構成之厚的電流擴散層，即使形成時，亦由於能大幅降低其厚度，因製程簡化而對削減成本有所助益，在產業利用上非常有效。另一方面，電極接合層之形成厚度，只要是用以形成電阻接觸所需之充分程度的話，不需特

別作厚，此外，具體而言，由化合物半導體構成電極接合層時，只要藉由薄層化確保不致成為顯示不同於全體(bulk)結晶之帶隙能量程度之厚度即可，若在  $0.001\mu\text{m}$  以上(例如，使用  $\text{In}_x\text{Ga}_{1-x}\text{As}$  等含有 In 之 GaAs 之場合)即充分足夠。因此，與習知發光元件較能大幅縮減氧化物透明電極層與發光層部之層間距離，串聯電阻之降低效果亦優異。又，若電極接合層厚度過大時，由於該電極接合層中光吸收增大的結果，會招致光射出效率降低，因此，最好是在  $0.02\mu\text{m}$  以下。

此外，以  $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ (其中， $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ )、或  $\text{In}_x\text{Ga}_y\text{Al}_{1-x-y}\text{N}$ (其中， $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ， $x + y \leq 1$ )所構成之發光層部，由於任一者在幾乎所有情形下皆含有 Al，因此必須考慮氧化劣化之問題，但藉由採用以氧化物透明電極層全面性的加以覆蓋之構成，即有下列優點，亦即，使該氧化物透明電極層發揮作為上述含有 Al 之發光層部之鈍化膜的功能。

又， $\text{In}_x\text{Ga}_{1-x}\text{As}$ ，雖因混晶比不同，而係晶格常數之差略大於作為上述發光層部之化合物半導體的化合物半導體，但若形成為厚度  $0.001\mu\text{m}$  以上、 $0.02\mu\text{m}$  以下之薄層時，由於能將晶格不整合之影響壓得較小，因此可使用該化合物半導體來形成電極接合層。

又，使用化合物半導體層來形成與氧化物透明電極層直接接觸之電極接合層時，就良好的形成與該透明電極層之電阻狀接觸的觀點而言，如前所述，在與氧化物透明電

極層之接合界面最好是能使用帶隙能量小於  $1.42\text{eV}$  之化合物半導體。又，藉由上述薄層化所減輕之晶格不整合之影響，除  $\text{InGaAs}$  外，亦能使用  $\text{InP}$ 、 $\text{InAs}$ 、 $\text{GaSb}$ 、 $\text{InSb}$  或該等之混晶。

由  $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$  或  $\text{In}_x\text{Ga}_y\text{Al}_{1-x-y}\text{N}$  所構成之發光層，係形成爲具有以各個  $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$  或  $\text{In}_x\text{Ga}_y\text{Al}_{1-x-y}\text{N}$  構成之第 1 導電型包覆層、活性層及第 2 導電型包覆層以此順序積層之雙異構造。由於與活性層兩側所形成之包覆層間之帶隙差而產生之能量障壁，使所注入之電洞與電子被封入狹窄之活性層中而能以良好之效率再結合，因此能實現非常高的發光效率。再者，藉由活性層之組成調整，前者能在綠色至紅色區域中(峰值發光波長在  $520\text{nm}$  以上、 $670\text{nm}$  以下)、後者能在紫外區域至紅色區域(峰值發光波長在  $300\text{nm}$  以上、 $700\text{nm}$  以下)中，分別實現廣範圍之發光波長。

此外，上述構成中，可在第 1 導電型包覆層及第 2 導電型包覆層之至少一者與氧化物透明電極層之間，形成電極接合層。例如，在僅將由雙異構造構成之發光層部單側之主表面作爲光射出面來使用時，可在位於該側之包覆層與氧化物透明電極層之間，以接觸該氧化物透明電極層之方式形成電極接合層後，形成氧化物透明電極層。另一方面，在將發光層部兩側之主表面作爲光射出面來使用時，可分別與兩側包覆層對應而形成氧化物透明電極層，而在各氧化物透明電極層與凹覆層之間，能形成與氧化物透明



電極層接觸之電極接合層。

此外，電極接合層、第 1 導電型包覆層與第 2 導電型包覆層中，與位於該電極接合層形成側之包覆層之間，可形成具有該等電極層與包覆層之中間帶隙能量的中間層。雙異構造之發光層部，為提昇至活性層之載體封閉效果以提高內部量子效率，需將包覆層與活性層之間的障壁高度提高至一定以上。如圖 12 之示意頻帶圖( $E_c$  係表示傳導帶底、 $E_v$  係表示價電子帶頂之各能量位準)所示，於此種包覆層(例如 AlGaInP)直接接合電極接合層(例如 InGaAs)時，於包覆層與電極接合層之間，有時會因接合所產生之頻帶彎曲而形成較高的異質障壁。此障壁高度 $\Delta E$ ，隨著包覆層與電極接合層間之頻帶端不連續值越大而越高，易對載體之移動、特別是對有效質量較大電洞之移動造成妨礙。例如，使用金屬電極時，由於以金屬電極覆蓋包覆層全面時光無法射出，因此必須以某種形式來促進至電極之面內方向外側的電流擴散。例如，在金屬電極之場合，與發光層部之間形成 GaAs 等電極接合層之情形雖亦較多，但金屬電極之場合，於電極接合層與發光層部之間形成某種程度之高障壁者，因障壁之載體防止效果而具有能促進面內方向之電流擴散的優點。然而，因形成高障壁，因此不易避免串聯電阻之增加。

相對於此，使用 ITO 透明電極層之場合，由於 ITO 透明電極層本身具有非常高的電流擴散能力，因此幾乎不需要考慮障壁之載體防止效果。此外，由於 ITO 透明電極層

之採用，與使用金屬電極時相較，光射出區域之面積大幅增加。因此，如圖 13 所示，於電極接合層與包覆層之間，插入具有該等電極層與包覆層之中間帶隙能量的中間層時，電極接合層與中間層、以及中間層與包覆層，分別由於頻帶端不連續值變小，因此分別形成之障壁高度 $\Delta E$ 亦小。其結果，減少了串聯電阻，而能以低驅動電壓達成充分高的發光強度。

採用上述中間層帶來之效果，於雙異構造之發光層部中，特別是在使用與 GaAs(作為電極接合層之含有 In 者)之晶格整合性較良好之 AlGaInP 來形成發光層部時非常顯著。此時，作為具有發光層部與電極接合層中間之帶隙能量的中間層，具體而言，可適當的使用至少含有 AlGaAs 層、GaInP 層及 AlGaInP 層(其組成調整為帶隙能量較包覆層小者)之一者，例如可形成為含有 AlGaAs 層。又，亦能適用於除此之外的發光層，例如，亦能應用於由  $\text{In}_x\text{Ga}_y\text{Al}_{1-x-y}\text{N}$  所構成之雙異構造發光層部。此時，中間層可採用例如含有 InGaAlN 層(其組成調整為帶隙能量較包覆層小者)者。

接著，本發明之發光元件之製造方法，係製造以  $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$ (其中， $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ )構成之具有以第 1 導電型包覆層、活性層及第 2 導電型包覆層之順序積層之雙異構造的發光層部，至少於前述第 1 導電型包覆層及前述第 2 導電型包覆層之任一側，具有用以對前述發光層部施加發光驅動電壓之 ITO 透明電極層的發光元件，其特徵在於：於前述發光層部上將 GaAs 層形成為該 GaAs 層之形

成區域與非形成區域混合存在，以和該 GaAs 層接觸之方式形成前述 ITO 透明電極層後加以熱處理，使 In 從前述 ITO 透明電極層擴散至前述 GaAs 層，以作為由含有 In 之 GaAs 所構成之電極接合層。

上述本發明之發光元件之製造方法中，係在由 AlGaInP 所組成之發光層部上形成 GaAs 層，以和該 GaAs 層接觸之方式形成 ITO 透明電極層。發光部層，例如係以 III-V 族化合物半導體構成，可與其上(但亦可介在一進行晶格整合之其他層)形成之 GaAs 層一起，以例如周知之 MOVPE 法來形成。GaAs 層極易與 AlGaInP 發光部層進行晶格整合，與直接磊晶成長 AlGaInP 之情形相較，可形成均質且連續性佳之膜。

然後，於該 GaAs 層上形成 ITO 透明電極層後，藉由進行熱處理，使 In 從 ITO 透明電極層擴散至 GaAs 層以作為電極接合層。以此方式進行熱處理所得之由含有 In 之 GaAs 所構成之電極接合層，In 含有量不致於過剩，能有效防止與發光層部之晶格不整合所造成之發光強度降低等品質不良的情形。GaAs 層與發光部層之晶格整合，由於在發光部層由  $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$  (其中， $0 \leq x \leq 1$ 、 $0.45 \leq y \leq 0.55$ ) 構成時特別良好，因此最好是能將混晶比  $y$  設定在上述範圍，以形成發光層部(包覆層或活性層)。

上述熱處理，最好是能使電極接合層之厚度方向之 In 濃度分佈，如圖 16 之 ①所示，隨著從 ITO 透明電極層朝厚度方向遠離而連續減少(亦即，使 In 濃度分佈具有傾斜)。

此種構造，係藉由熱處理，使 In 從 ITO 側擴散至電極接合側而形成。

此場合，本發明之發光元件，係以  $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$  (其中， $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ) 構成之具有以第 1 導電型包覆層、活性層及第 2 導電型包覆層之順序積層之雙異構造的發光層部，至少於前述第 1 導電型包覆層及前述第 2 導電型包覆層之任一側，具有用以對前述發光層部施加發光驅動電壓之作爲氧化物透明電極層的 ITO 透明電極層，來自發光層部之光，係以穿透該 ITO 透明電極層之形態射出，且在發光層部與 ITO 透明電極層之間，以和該 ITO 透明電極層接觸之方式形成由含有 In 之 GaAs 所構成之電極接合層，電極接合層之厚度方向之 In 濃度分佈，係隨著從 ITO 透明電極層朝厚度方向遠離而連續減少。

此係意味，在由 AlGaInP 所組成之發光層部側，電極接合層之 In 濃度分佈變小，亦即，意味與發光層部之晶格常數差縮小。藉形成此種 In 濃度分佈之電極接合層，即能產生提高與發光層部之晶格整合性的優點。但若熱處理溫度過高、或熱處理時間過長時，來自 ITO 透明電極層之 In 擴散即會過度進行，而如圖 16 之③所示，電極接合層內之 In 濃度分佈成爲於厚度方向顯示大致一定之高值，無法獲得上述效果(又，若熱處理溫度過低、或熱處理時間過短時，即會如圖 16 之②所示，使電極接合層內之 In 濃度分佈不足)。

此場合，圖 16 中，設電極接合層與 ITO 透明電極層之

交界附近的 In 濃度為  $C_A$ 、與此相反側之交界附近的 In 濃度為  $C_B$  時，最好是能將  $C_B/C_A$  調整為 0.8 以下，以能獲得該形態之 In 濃度分佈之方式進行前述熱處理較佳。當  $C_B/C_A$  超過 0.8 時，即無法充分獲得 In 濃度分佈所帶來之與發光層部之晶格整合性改善效果。又，電極接合層厚度方向之組成分佈(In 或 Ga 之濃度分佈)，可藉由一邊在厚度方向慢慢的對層進行蝕刻，一邊以周知之二次離子質量分析(Secondary Ion Mass Spectroscopy; SIMS)、奧諧電子分光分析(Auger Electron Spectroscopy)、X 射線光電子分光(X-ray Photoelectron Spectroscopy; XPS)等周知之表面分析方法來加以測定。

電極接合層之與 ITO 透明電極層之交界附近的 In 濃度，以 In 對 In 與 Ga 之合計濃度之原子比，在 0.1 以上 0.6 以下較佳，上述熱處理之進行亦最好是能獲得此種 In 濃度。當上述定義之 In 濃度不滿 0.1 時，電極接合層之接觸電阻降低效果即變得不充分，當超過 0.6 時，因電極接合層與發光部層之晶格不整合所造成之發光強度降低等品質劣化的情形或變得非常大。又，電極接合層之與 ITO 透明電極層之交界附近的 In 濃度，以 In 對 In 與 Ga 之合計濃度之原子比，能確保例如前述較佳值(0.1 以上 0.6 以下)的話，則即使與面對 ITO 透明電極層之相反側交界附近之 In 濃度  $C_B$  為 0，也就是說，如圖 17 所示，於電極接合層之 ITO 透明電極側形成 InGaAs 層，相反側的部分為 GaAs 層之構造，亦無任何影響。

ITO，如前所述，係摻雜有氧化錫之氧化銦膜，將 ITO 透明電極層形成在 GaAs 層上，再將此以適當溫度範圍予以熱處理，即能容易的形成具有上述較佳 In 濃度之電極接合層。此外，藉由此熱處理，能進一步的降低 ITO 透明電極層之電阻率。熱處理，最好是能以  $600^{\circ}\text{C}$  以上  $750^{\circ}\text{C}$  以下之溫度進行。若熱處理溫度超過  $750^{\circ}\text{C}$ ，In 擴散至 GaAs 層之擴散速度會變得過大，使電極接合層中之 In 濃度易於過剩。又，In 濃度飽和，亦將不易獲得傾斜於電極接合層厚度方向之 In 濃度分佈。無論何者，皆將導致電極接合層與發光部層之晶格整合惡化。此外，當 In 擴散至 GaAs 層過度進行時，與電極接合層之接觸部附近，ITO 透明電極層之 In 將枯竭，而無法避免電極之電阻值上昇。進一步的，當熱處理如上述般過於高溫時，ITO 之氧會擴散至 GaAs 層而促進氧化，使元件之串聯電阻易於上昇。任一者皆會導致無法以適當之電壓驅動發光元件。此外，熱處理溫度極端的高時，有時反而會使 ITO 透明電極層之電阻率惡化。另一方面，若熱處理溫度不滿  $600^{\circ}\text{C}$  時，In 擴散至 GaAs 層之擴散速度義變得過小，由於欲獲得接觸電阻充分低之電極接合層，需要長時間，因此會大大降低製造效率。

又，熱處理時間，最好是能設定在 5 秒以上 120 秒以下。熱處理時間超過 120 秒的話，特別是在熱處理溫度接近上限值時，In 擴散至 GaAs 層之擴散量易於過剩(不過，將熱處理溫度保持的較低時，亦可採用較此為長之熱處理時間(例如，至 300 秒程度為止))。另一方面，熱處理時間

不滿 5 秒的話，In 擴散至 GaAs 層之擴散量不足，不易獲得使接觸電阻充低電極接合層。

[實施方式]

以下，參照所附圖式，說明本發明之實施形態。

(實施形態 1)

圖 1，係顯示本發明一實施形態之發光元件 100 之主要部份的概念圖。發光元件 100，係於 n 型 GaAs 單結晶基板(以下，簡稱基板)1 之第 1 主表面上，透過 n 型 GaAs 緩衝層 2 形成有發光層部 24。又，於該發光層部 24 之第 1 主表面側，形成有作為電極接合層之 InGaAs 層 7 與作為氧化物透明電極層之 ITO 透明電極層 8(以此順序)，此外，於 ITO 透明電極層 8 之大致中央部，配置有用來接合電極金屬線、以 Au 等構成之結合墊 16。另一方面，於基板 1 之第 2 主表面側，於全面形成有由 Au-Ge-Ni 合金等金屬組成、兼作為反射層之裡面電極層 15。

此處，ITO 透明電極層 8，係以覆蓋發光層部 24 之主表面全面的形態形成。另一方面，作為電極接合層之 InGaAs 層 7，在結合墊 16 正下方區域之光射出量較少之第 1 區域中並未形成，而係選擇性的僅形成在其周圍光射出量較多之第 2 區域。再者，該第 2 區域中之 InGaAs 層 7，係其形成區域與非形成區域混合存在之形態。因此，在 InGaAs 層 7 之非形成區域中，ITO 透明電極層 8 係與發光層部 24 直接接觸之形態。

如圖 2(a)~(c)所示，InGaAs 層 7 之形成區域，藉由在

ITO 透明電極層 8 之接合界面分散形成，可使發光層部 24 之發光更為均勻化，且使光從 InGaAs 層 7 之非形成區域均勻的射出。圖 2(a)係 InGaAs 層 7 之形成區域為分散點狀之例，(b)係細長帶狀之 InGaAs 層 7 之形成區域，與同形態之非形成區域交互形成之例。進一步的，(c)則與(a)相反，係以 InGaAs 層 7 之形成區域作為背景，將分散點狀之非形成區域分散形成在其中的例。此處，係將 InGaAs 層 7 之形成區域形成為格子狀。

其次，發光層部 24，係各與 $(Al_xGa_{1-x})_yIn_{1-y}P$  混晶，由第 1 導電型包覆層 6、第 2 導電型包覆層 4、以及位於第 1 導電型包覆層 6 與第 2 導電型包覆層 4 之間的活性層 5 所組成的雙異構造。具體而言，係將由非摻雜 $(Al_xGa_{1-x})_yIn_{1-y}P$  混晶所構成之活性層 5(但是， $0 \leq x \leq 1$ 、 $0.45 \leq y \leq 0.55$ )，以 p 型 $(Al_xGa_{1-x})_yIn_{1-y}P$  包覆層 6 與 n 型 $(Al_xGa_{1-x})_yIn_{1-y}P$  包覆層 4 加以挾合之構造。圖 1 之發光元件 100 中，於 ITO 透明電極層 8 側配置有 p 型 AlGaInP 包覆層 6，於裡面電極層 15 側配置有 n 型 AlGaInP 包覆層 4。因此，通電極性在 ITO 透明電極層 8 側為正。此外，若係業者自當明白，此處所謂之「非摻雜」，係意味「不積極進行摻雜物之添加」，並非在一般的製程上，排除含有無法避免混入之摻雜物(例如，以  $10^{13} \sim 10^{16} / \text{cm}^3$  程度為上限)。

又，圖 1 之發光元件 100 中，作為各層厚度之實例，可例示以下之數值：

- InGaAs 層 7 = 厚度 t：約  $0.005 \mu\text{m}$



- ITO 透明電極層 8 = 厚度：0.005 $\mu\text{m}$ 、氧化錫含有率：7 質量%(殘餘部：氧化銮)

- p 型 AlGaInP 包覆層 6 = 1 $\mu\text{m}$

- AlGaInP 活性層 5 = 0.6 $\mu\text{m}$

- n 型 AlGaInP 包覆層 4 = 1 $\mu\text{m}$

以下，說明圖 1 之發光元件 100 之製造方法。

首先，如圖 1 所示，於 GaAs 單結晶基板 1(係與 AlGaInP 混晶進行晶格整合之化合物半導體單結晶基板)之第 1 主表面 1a 上，磊晶成長例如 0.5 $\mu\text{m}$  之 n 型 GaAs 緩衝層 2，接著，作為發光層部 24，分別磊晶成長 1 $\mu\text{m}$  之 n 型 AlGaInP 包覆層 4、0.6 $\mu\text{m}$  之 AlGaInP 活性層(非摻雜)5、以及 1 $\mu\text{m}$  之 p 型 AlGaInP 包覆層 6，再於 p 型 AlGaInP 包覆層 6 上磊晶成長 0.005 $\mu\text{m}$  之 InGaAs 層 7'(圖 3(a))，而成為圖 3(a)之狀態。各該層之磊晶成長，可以周知之有機金屬氣相磊晶成長(Metalorganic Vapor Phase Epitaxy: MOVPE)法來進行。

接著，如圖 3(b)及(c)所示，以周知之微影技術對 InGaAs 層 7'施以圖案化，據以在待作為發光元件晶片之每一區域，形成圖 2(a)~(c)所例示之 InGaAs 層 7 之形成區域及非形成區域的形成圖案。具體而言，係如圖 3(b)所示，在 InGaAs 層 7'上形成光阻層 30，再使用蠟 w 等將基板 1 固定在玻璃基板 G 上。接著，在光阻層 30 上罩上光罩進行曝光、顯影，據以如圖 5(a)所示，以在不形成 InGaAs 層 7 之區域露出 InGaAs 層 7'之方式，將光罩圖案轉印至光阻層

30。之後，對該 InGaAs 層 7' 之露出部分進行蝕刻，再除去光阻層 30 的話，即能獲得如圖 5(b) 所示之已圖案化的 InGaAs 層 7。

其次，如圖 3(d) 及圖 6 所示，於 p 型 AlGaInP 包覆層 6 與 InGaAs 層 7 之兩主表面，以周知的高頻濺鍍法(例如，濺鍍靶組成( $\text{In}_2\text{O}_3 = 90.2$  質量%、 $\text{SnO}_2 = 9.8$  質量%)、rf 頻率 13.56MHz、Ar 壓力 0.6Pa、濺鍍電力 30W)，形成例如厚度為  $0.2\mu\text{m}$  程度之 ITO 透明電極層 8。又，形成膜後，於氮氣環境氣息中以  $300^\circ\text{C} \sim 500^\circ\text{C}$  之溫度施以熱處理，即能降低 1 位數的電阻率。

又，如圖 3(e) 所示，於基板 1 之第 2 主表面以真空濺鍍法形成裡面電極層 15，另一方面，於第 1 主表面側之 ITO 透明電極層 8 上，則在對應各發光元件晶片之每一區域配置結合墊 16，以適當溫度施以電極固定用之烘烤，即能獲得圖 3(f) 所示之發光元件晶圓 50。該發光元件晶圓 50，為分離各發光元件晶片，係如圖 4(a) 所示被切割成一半，再如(b)所示，以台面蝕刻法(mesa etching)除去切割面之加工不整後，以(c)所示之劃割法(scribing)分離為發光元件晶片 51。然後，如(d)所示，使用 Ag 膠等之導電膠將裡面電極層 15(參照圖 3)固定於兼作為支持體之端子電極 9a，另一方面，將 Au 金屬線以橫跨結合墊 16 與另一端子電極 9a 之形態予以結合，如(e)所示，藉形成樹脂膜鑄 52 而獲得發光元件。

根據上述發光元件之構成，因 InGaAs 層 7 之形成使

ITO 透明電極層 8 之接觸電阻降低，提昇至發光層部 24 之通電電流密度，而能實現高亮度之發光元件。又，藉由在光射出量較多之第 2 區域中混合 InGaAs 層 7 之形成區域與非形成區域，使發光層部 24 所產生之光，由穿透 InGaAs 層 7 之路徑，與在非形成區域中繞過 InGaAs 層 7 之路徑的 2 種路徑射出。其中，由於後者不致產生穿透 InGaAs 層 7 時之光吸收，因此能提昇光射出效率。

另一方面，由於結合墊 16 會遮蔽來自發光層部 24 之光的大部分，因此，與其在發光層部 24 之結合墊 16 正下方區域，亦即不將通電電流集中於光射出量較少之第 1 區域，倒不如將通電電流儘量多分配至結合墊 16 周圍之光射出量較多的第 2 區域，在提高光射出效率上較佳。因此，圖 1 之發光元件 100 中，於結合墊 16 正下方區域故意的不形成 InGaAs 層 7，使此區域中 ITO 透明電極層 8 之接觸電阻變高而電流不易流動。其結果，透過 ITO 透明電極層 8 通電至發光層部 24 之電流，即繞過光射出量較少之第 1 區域優先分配至光射出量較多之第 2 區域，而能提高光射出效率。

又，p 型 AlGaInP 包覆層 6 之全面係被 ITO 透明電極層 8 所覆蓋，透過此 ITO 透明電極層 8 施加驅動電壓。由於驅動電壓帶來的驅動電流會均勻擴散至導電性良好之 ITO 透明電極層 8 全面，因此能在光射出面全體獲得均勻之發光，且電極層 8 係透明，因此光射出效率獲得提昇。再者，ITO 透明電極層 8，係對帶隙較窄之 InGaAs 層 7 形

成電阻狀接觸狀態，因此能將接觸部之串聯電阻壓抑的較小，而大幅提高光效率。

進一步的，由於不需要習知發光元件般之厚的電流擴散層，因此能大幅縮短至 ITO 透明電極層(氧化物透明電極層)與發光面之距離。其結果，能謀求串聯電阻之降低。又，發光面係定義如下。首先，在發光層部 24 具有上述之雙異構造的場合，係將接近氧化物透明電極層(ITO 透明電極層 8)側之包覆層／活性層界面(由 ITO 透明電極層觀之，係 p 型包覆層 6 與活性層之界面)定義為發光面。另一方面，本發明，並不限於具有上述雙異構造型之發光層部，亦能應用於具有單異構造型之發光層部，此時，係將該異接合界面定義為發光面。又，藉由本發明之採用，氧化物透明電極層與電極接合層之界面至發光層部之距離，具體而言，縮小至  $3\mu\text{m}$  以下之值。

又，作為電極接合層之 InGaAs 層 7，可藉由添加適當之摻雜物，而形成為具有與此接合之各包覆層分別相同之導電型者，但將 InGaAs 層 7 形成為上述之薄層時，即使將此等形成為摻雜濃度低之低摻雜層(例如  $10^{17}$  個 /  $\text{cm}^3$  以下，或無摻雜層( $10^{13}$  個 /  $\text{cm}^3 \sim 10^{16}$  個 /  $\text{cm}^3$ ))亦不會招致串聯電阻過度增加，因此可毫無問題的加以採用。另一方面，若係低摻雜層時，視發光元件之驅動電壓，可達成以下效果。亦即，藉由將電極接合層作成低摻雜層，由於層之電阻率會提高，因此，相對挾住此之電阻率較小之包覆層或 ITO 透明電極層，施加於電極接合層厚度方向之電場(亦

即，每單位距離之電壓)相對變高。此時，若將電極接合層預先以帶隙較小之 InGaAs 加以形成的話，即會因上述電場之施加使電極接合層之頻帶構造產生適度之彎曲，而能形成良好之電阻狀接合。

又，圖 1 中，雖係從光射出量較少之第 1 區域(結合墊 16 之正下方區域)排除了 InGaAs 層 7，但只要不會產生電流過度集中於該正下方區域之情形，則如圖 7 所示，亦可在第 1 區域中形成 InGaAs 層 7。此時，只要 InGaAs 層 7 之形成區域之面積率，在光射出量較少之第 1 區域中小於光射出量較多之第 2 區域即可。

又，若能將 InGaAs 層 7 之厚度作成非常小、或能使用 InGaAs 以外之光吸收較小的電極接合層等，因電極接合層所造成之光吸收影響不致過度成為問題時，如圖 8 所示，以電極接合層(圖中為 InGTaAs 層 7)來覆蓋光射出量較多之第 2 區域全面亦可。又，如圖 9 所示，藉由與 ITO 透明電極層接觸之通電端子 60 的形狀設計，在可廢止結合墊之情形、或不需要考慮結合墊 16 所造成之光遮蔽之情形等時，亦可將 InGaAs 層 7 之形成區域分散至 ITO 透明電極層 8 之全面。又，圖 1 之發光元件 100 中，雖係將具有雙異構造之發光層部 24 之各層以 AlGaInP 混晶來形成，但亦可使用 AlGaInN 混晶來形成具有雙異構造之發光層部之各層(p 型包覆層、活性層及 n 型包覆層)，據以構成藍色或紫外發光用的寬禁帶(wide gap)型發光元件。發光層部，係與圖 1 之發光元件同樣的由 MOVPE 法形成。此外，在上述實施形

態中活性層係形成爲單一層，但亦可將此以帶隙能量不同之複數個化合物半導體所層積者，具體而言，使其成爲具有量子井構造的方式來構成。

又，在直接接合 InGaAs 層與 AlGaInP 層時，在接合界面會形成略高的異質障壁，而有可能因此導致串聯電阻成分增大。因此，以降低此爲目的，如圖 10 所示，在與 ITO 透明電極層 8 接觸之電極接合層 7，與 AlGaInP 包覆層 6 之間，插入具有兩者間之帶隙能量的中間層 11。中間層 11，例如可構成爲至少包含 AlGaAs、GaIn 及 AlGaInP 之一，例如可將中間層全體構成爲單一之 AlGaAs 層。採用此構造時，由於亦可使該等中間層之厚度分別爲  $0.1\mu\text{m}$  以下 ( $0.01\mu\text{m}$  以上：若更薄的話，將喪失體積(bulk)之頻帶構造，無法獲得期望之接合構造)，因此能謀求薄層化所帶來之磊晶成長時間的縮短，進而提昇生產性，亦能減少形成中間層所造成之串聯電阻的增加，因此亦不易損失發光效率。本發明中，僅在光射出面側形成之 ITO 透明電極層 8 的部分區域形成電極接合層 7，發光通電時之電流密度，在此等電極接合層 7 之形成區域有選擇性變高的傾向。如果，電極接合層 7 與 AlGaInP 包覆層 6 之間所形成之異質障壁高的話，由於電流集中的影響，通過該電極接合層 7 與 AlGaInP 包覆層 6 之接合界面時的電壓下降將更大，而產生外觀上串聯電阻更易變大的問題。因此，相較於在 ITO 透明電極層 8 全面形成電極接合層 7，藉由形成中間層 11 以減少異質障壁高度之效果更爲顯著。

又，中間層 11，在厚度非常小等，不須擔心對光吸收造成太大的不良影響時，如圖 10 所示，可以覆蓋發光層部 24 全面之方式形成。如此一來，由於僅需對電極接合層 7 進行圖案化，因此，例如在化學蝕刻時，即使以對電極接合層 7 之蝕刻仍無法充分蝕刻中間層 11 時，亦非常容易製造。另一方面，如圖 11 所示，亦可將中間層 11 僅形成於電極接合層 7 之形成區域，而能更為減少中間層 11 造成之光吸收之影響。此時，預先以覆蓋發光層部 24 全面之方式形成電極接合層 7 與中間層 11，藉前述微影法，將兩者分別加圖案化即可。此場合，以氣相蝕刻法對電極接合層 7 與中間層 11 同時進行蝕刻亦可，若為化學蝕刻時，以更換蝕刻劑之方式對電極接合層 7 與中間層 11 依序進行蝕刻亦可。此外，以化學蝕刻進行電極接合層 7 之圖案化時，中間層 11，有時亦利用來作為阻擋層，以停止腐蝕進行至發光層部 24 側。例如，以含有 In 之 GaAs 來構成電極接合層 7 時，若能以 AlGaAs 來預先構成中間層 11 的話，即可以胺／過氧化氫作為蝕刻劑，以中間層 11 作為阻擋層而僅選擇性的蝕刻電極接合層 7。

#### (實施形態 2)

實施形態 1 之電極接合層雖係以 MOVPE 法所形成之 InGaAs 層，但亦可將此形成為以下之電極接合層。亦即，使用圖 5(b)說明的話，取代 InGaAs 層 7，以同樣圖案化之形態來形成 GaAs 層 7”，與圖 6 同樣的形成 ITO 透明電極層 8，以作為圖 14 之積層體晶圓 13。

然後，如圖 15 所示，將此積層體晶圓 13 置於爐 F 中，例在氮氣環境氣氛中或氬(Ar)等非活性氣體環境氣氛中，以 600℃ 以上 750℃ 以(例 700℃)之低溫，施以 5 秒以上 120 秒以下(例如 30 秒)短時間之熱處理，據此，In 由 ITO 透明電極層 8 擴散至 GaAs 層 7”，而獲得由含有 In 之 GaAs 所構成之電極接合層 7。該電極接合層 7，於圖 16①中，與 ITO 透明電極層之界面附近 In 濃度，對 In 與 Ga 之合計濃度之 In 之原子比，為 0.1 以上 0.6 以下。又，In 濃度，係隨著從 ITO 透明電極層朝厚度方向遠離而連續減少，設與 ITO 透明電極層 8(圖 1)之各交界附近的 In 濃度為  $C_A$ 、與此相反側之交界附近(亦即，與包覆層 6(圖 1)之各交界附近)的 In 濃度為  $C_B$  時，係將  $C_B/C_A$  調整為 0.8 以下。電極接合層 7 厚度  $t$ ，為 0.001 $\mu\text{m}$  以上 0.02 $\mu\text{m}$  以下(最好是 0.005 $\mu\text{m}$  以上 0.01 $\mu\text{m}$  以下)。

電極接合層 7，係對由 AlGaInP 所構成之發光層部 24，首先形成晶格整合性良好之 GaAs 層 7”，在形成 ITO 透明電極層 8 後，施以較低溫、短時間之熱處理，而成為 In 含有量不致於過多，且均質之連續性良好的接合層。其結果，能有效防止由於與發光層部 24 之晶格不整合，所造成之發光強度降低等的品質劣化。

電極接合層 7，可藉由添加適當之摻雜物，而形成為具有與此接合之各包覆層分別相同之導電型者，但將 InGaAs 層 7 形成為上述之薄層時，即使將此等形成為摻雜濃度低之低摻雜層(例如  $10^{17}$  個/ $\text{cm}^3$  以下，或無摻雜層( $10^{13}$  個/



$\text{cm}^3 \sim 10^{16}$  個 /  $\text{cm}^3$ ))亦不會招致串聯電阻過度增加，因此可毫無問題的加以採用。另一方面，若係低摻雜層時，視發光元件之驅動電壓，可達成以下效果。亦即，藉由將電極接合層 7 作成低摻雜層，由於層之電阻率本身會提高，因此，相對挾住此之電阻率較小之包覆層或 ITO 透明電極層 8，施加於電極接合層 7 厚度方向之電場(亦即，每單位距離之電壓)相對變高。此時，若將電極接合層 7 預先以帶隙較小之含有 In 的 GaAs 加以形成的話，即會因上述電場之施加使電極接合層之頻帶構造產生適度之彎曲，而能形成良好之電阻狀接合。然而，如圖 16 所示，電極接合層 7 之 In 濃度，在與 ITO 透明電極層 8 之接觸側提高，而使得該效果更為顯著。又，本實施形態亦與實施形態 1 完全相同，可形成中間層 11。

[圖式簡單說明]

圖 1，係以積層構造顯示本發明發光元件之一例的示意圖。

圖 2(a)~(c)，係顯示若干個圖 1 之發光元件之電極接合層之形成圖案的示意圖。

圖 3(a)~(f)，係顯示圖 1 之發光元件之製程的示意圖。

圖 4(a)~(e)，係延續圖 3 之示意圖。

圖 5(a)~(b)，係說明以微影法進行之電極接合層之圖案化的圖。

圖 6，係顯示在已圖案化之電極接合層上形成 ITO 透

明電極層之狀態的圖。

圖 7，係顯示圖 1 之發光元件之第 1 變形例的圖。

圖 8，係顯示圖 1 之發光元件之第 2 變形例的圖。

圖 9，係顯示圖 1 之發光元件之第 3 變形例的圖。

圖 10，係顯示圖 1 之發光元件之第 4 變形例的圖。

圖 11，係顯示圖 1 之發光元件之第 5 變形例的圖。

圖 12，係顯示電極接合層之頻帶構造之第 1 例的示意圖。

圖 13，係顯示電極接合層之頻帶構造之第 2 例的示意圖。

圖 14，係顯示使來自 ITO 透明電極層之 In 擴散至 GaAs 層以作為電極接合層之製程的圖。

圖 15，係延續圖 14 之示意圖。

圖 16，係將以圖 14 及圖 15 之製程所製造之電極接合層之 In 濃度分佈之一例，與比較例一起顯示的圖。

圖 17，係同樣顯示電極接合層之 In 濃度分佈之一另例的示意圖。

[符號說明]

1	n 型 GaAs 結晶基板
2	n 型 GaAs 緩衝層
4	第 2 導電型包覆層
5	活性層
6	第 1 導電型包覆層
7	電極接合層

8	ITO 透明電極層
15	裡面電極層
16	結合墊
24	發光層部
30	光阻層
50	發光元件晶圓
52	樹脂模鑄
60	通電端子
100	發光元件
C	切割預定線
w	蠟
G	玻璃基板

## 拾、申請專利範圍

1．一種發光元件，其特徵在於：

具有由化合物半導體層構成之發光層部、與用以對該發光層部施加驅動電壓之氧化物透明電極層，其前提為使發自發光層部之光穿透氧化物透明電極層之形態射出，於發光層部與氧化物透明電極層之間，將用以減少氧化物透明電極層之接合電阻之電極接合層，配置成與該氧化物透明電極層接觸，於氧化物透明電極層之接合界面，電極接合層之形成區域與非形成區域係混合存在。

2．如申請專利範圍第 1 項之發光元件，其中，前述電極接合層係由半導體化合物所構成。

3．如申請專利範圍第 1 項之發光元件，其中，前述氧化物透明電極層之前述接合界面，具有由結合墊正下方區域所構成之第 1 區域與殘餘之第 2 區域，前述第 2 區域之光射出量多於前述第 1 區域，前述電極接合層於前述第 2 區域中，形成面積率大於前述第 1 區域。

4．如申請專利範圍第 3 項之發光元件，其中，前述第 1 區域中未形成前述電極接合層。

5．如申請專利範圍第 3 項之發光元件，其中，至少在前述第 2 區域中，前述電極接合層之形成區域與非形成區域最好是混合存在。

6．一種發光元件，具有由化合物半導體層構成之發光層部、與用以對該發光層部施加發光驅動電壓之氧化物透明電極層，使發自前述發光層部之光穿透前述氧化物透明

電極層之形態射出，其特徵在於：

於前述發光層部與前述氧化物透明電極層之間，將用以減少前述氧化物透明電極層之接合電阻、由化合物半導體構成之電極接合層，配置成與該氧化物透明電極層接觸

且於前述氧化物透明電極層之前述接合界面，具有由結合墊正下方區域所構成之第 1 區域與殘餘之第 2 區域，前述第 2 區域之光射出量多於前述第 1 區域，至少前述第 2 區域中，前述電極接合層之形成區域與非形成區域係混合存在。

7．如申請專利範圍第 5 項之發光元件，其中，前述第 2 區域中，前述電極接合層之形成區域係分散形成。

8．如申請專利範圍第 6 項之發光元件，其中，前述第 2 區域中，前述電極接合層之形成區域係分散形成。

9．如申請專利範圍第 1 項之發光元件，其中，前述電極接合層，係由與前述氧化物透明電極層之接合界面不含 Al、且帶隙能量小於 1.42eV 之化合物半導體構成。

10．如申請專利範圍第 6 項之發光元件，其中，前述電極接合層，係由與前述氧化物透明電極層之接合界面不含 Al、且帶隙能量小於 1.42eV 之化合物半導體構成。

11．如申請專利範圍第 9 項之發光元件，其中，構成前述電極接合層之化合物半導體，在與前述氧化物透明電極層之接合界面，係  $\text{In}_x\text{Ga}_{1-x}\text{As}$  ( $0 < x \leq 1$ )。

12．如申請專利範圍第 10 項之發光元件，其中，構成

前述電極接合層之化合物半導體，在與前述氧化物透明電極層之接合界面，係  $\text{In}_x\text{Ga}_{1-x}\text{As}$  ( $0 < x \leq 1$ )。

13．如申請專利範圍第 1 項之發光元件，其中，前述氧化物透明電極層，係包含銦、錫、鋅之任一者的氧化物電極層。

14．如申請專利範圍第 6 項之發光元件，其中，前述氧化物透明電極層，係包含銦、錫、鋅之任一者的氧化物電極層。

15．如申請專利範圍第 1 項之發光元件，其中，前述電極接合層之厚度，係調整在  $0.001\mu\text{m}$  以上  $0.02\mu\text{m}$  以下之範圍。

16．如申請專利範圍第 6 項之發光元件，其中，前述電極接合層之厚度，係調整在  $0.001\mu\text{m}$  以上  $0.02\mu\text{m}$  以下之範圍。

17．如申請專利範圍第 1～16 項中任一項之發光元件，其中，前述發光層部，係由  $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$  (但， $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ) 或  $\text{In}_x\text{Ga}_y\text{Al}_{1-x-y}\text{N}$  (但， $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ， $x + y \leq 1$ ) 所構成。

18．如申請專利範圍第 17 項之發光元件，其中，前述發光層部，具有分別以前述  $(\text{Al}_x\text{Ga}_{1-x})_y\text{In}_{1-y}\text{P}$  或前述  $\text{In}_x\text{Ga}_y\text{Al}_{1-x-y}\text{N}$  構成之第 1 導電型包覆層、活性層及第 2 導電型包覆層以此順序積層之雙異構造，前述第 1 導電型包覆層及前述第 2 導電型包覆層之至少一者與前述氧化物透明電極層之間，形成有前述電極接合層。

19. 如申請專利範圍第 18 項之發光元件，其中，在前述電極接合層，與前述第 1 導電型包覆層與第 2 導電型包覆層中，位於該電極接合層形成側之包覆層之間，形成有具該等電極層與包覆層之中間之帶隙能量的中間層。

20. 如申請專利範圍第 19 項之發光元件，其中，前述發光層部，係由  $(Al_xGa_{1-x})_yIn_{1-y}P$  (但， $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ) 構成，前述中間層，係形成為至少包含 AlGaAs 層、GaInP 層及 AlGaInP 層中之一者。

21. 如申請專利範圍第 18 項之發光元件，其中，以  $(Al_xGa_{1-x})_yIn_{1-y}P$  (其中， $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ) 構成之具有以第 1 導電型包覆層、活性層及第 2 導電型包覆層之順序積層之雙異構造的發光層部，至少於前述第 1 導電型包覆層及前述第 2 導電型包覆層之任一側，具有作為前述氧化物透明電極層之 ITO 透明電極層，發自前述發光層部之光，係以穿透該 ITO 透明電極層之形態射出，且前述發光層部與前述 ITO 透明電極層之間，以和該 ITO 透明電極層接觸之形態形成有由含 In 之 GaAs 構成之電極接合層，

前述電極接合層之厚度方向之 In 濃度分佈，係隨著從前述 ITO 透明電極層朝厚度方向遠離而連續減少。

22. 如申請專利範圍第 21 項之發光元件，其中，若設前述電極接合層與 ITO 透明電極層之交界附近的 In 濃度為  $C_A$ 、與此相反側之交界附近的 In 濃度為  $C_B$  時，則  $C_B/C_A$  為 0.8 以下。

23. 如申請專利範圍第 21 項之發光元件，其中，前述

電極接合層與前述 ITO 透明電極層之交界附近的 In 濃度，以 In 對 In 與 Ga 之合計濃度之原子比，在 0.1 以上 0.6 以下。

24．如申請專利範圍第 22 項之發光元件，其中，前述電極接合層與前述 ITO 透明電極層之交界附近的 In 濃度，以 In 對 In 與 Ga 之合計濃度之原子比，在 0.1 以上 0.6 以下。

25．一種發光元件之製造方法，係製造以  $(Al_xGa_{1-x})_yIn_{1-y}P$  (其中， $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ ) 構成之具有以第 1 導電型包覆層、活性層及第 2 導電型包覆層之順序積層之雙異構造的發光層部，至少於前述第 1 導電型包覆層及前述第 2 導電型包覆層之任一側，具有用以對前述發光層部施加發光驅動電壓之 ITO 透明電極層的發光元件，其特徵在於：

於前述發光層部上將 GaAs 層形成為該 GaAs 層之形成區域與非形成區域混合存在，以和該 GaAs 層接觸之方式形成前述 ITO 透明電極層後加以熱處理，使 In 從前述 ITO 透明電極層擴散至前述 GaAs 層，以作為由含有 In 之 GaAs 所構成之電極接合層。

26．如申請專利範圍第 25 項之發光元件之製造方法，其中，前述熱處理之進行，係使前述電極接合層之厚度方向之 In 濃度分佈，隨著從前述 ITO 透明電極層朝厚度方向遠離而連續減少。

27．如申請專利範圍第 25 項之發光元件之製造方法，其中，前述熱處理之進行，係在設前述電極接合層與 ITO



透明電極層之交界附近的 In 濃度為  $C_A$ 、與此相反側之交界附近的 In 濃度為  $C_B$  時，使  $C_B/C_A$  為 0.8 以下。

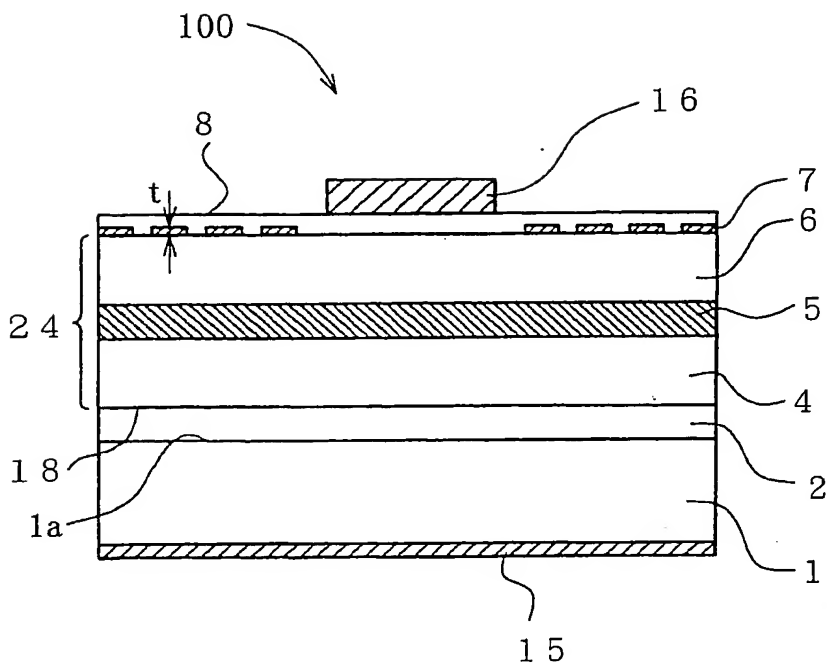
28. 如申請專利範圍第 25 項之發光元件之製造方法，其中，前述熱處理之進行，係使前述電極接合層與前述 ITO 透明電極層之交界附近的 In 濃度，以 In 對 In 與 Ga 之合計濃度之原子比，在 0.1 以上 0.6 以下。

29. 如申請專利範圍第 25 項之發光元件之製造方法，其中，係以  $600^{\circ}\text{C}$  以上  $750^{\circ}\text{C}$  以下進行前述熱處理。

30. 如申請專利範圍第 25~29 項中任一項之發光元件之製造方法，其中，前述熱處理之時間係設定在 5 秒以上 120 秒以下。

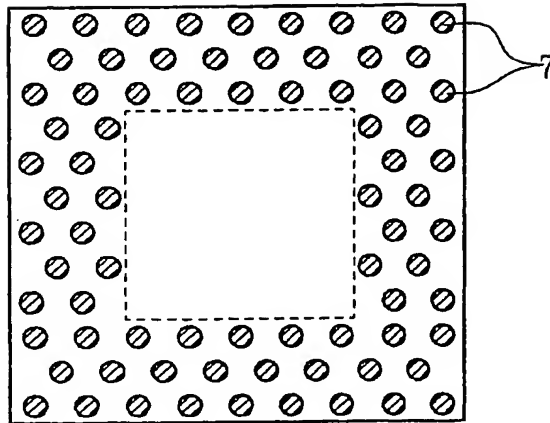
拾壹、圖式

如次頁

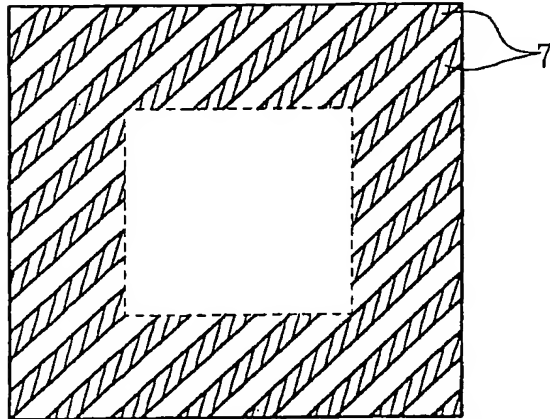




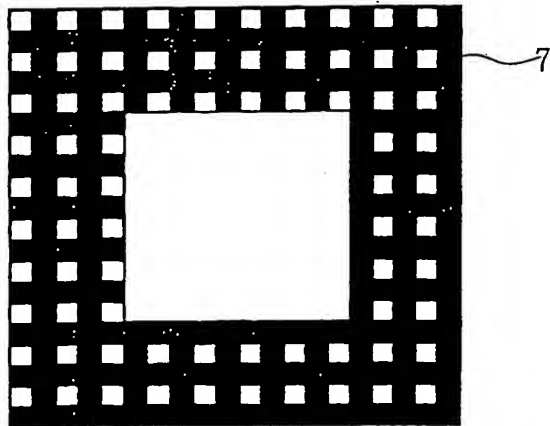
(a)

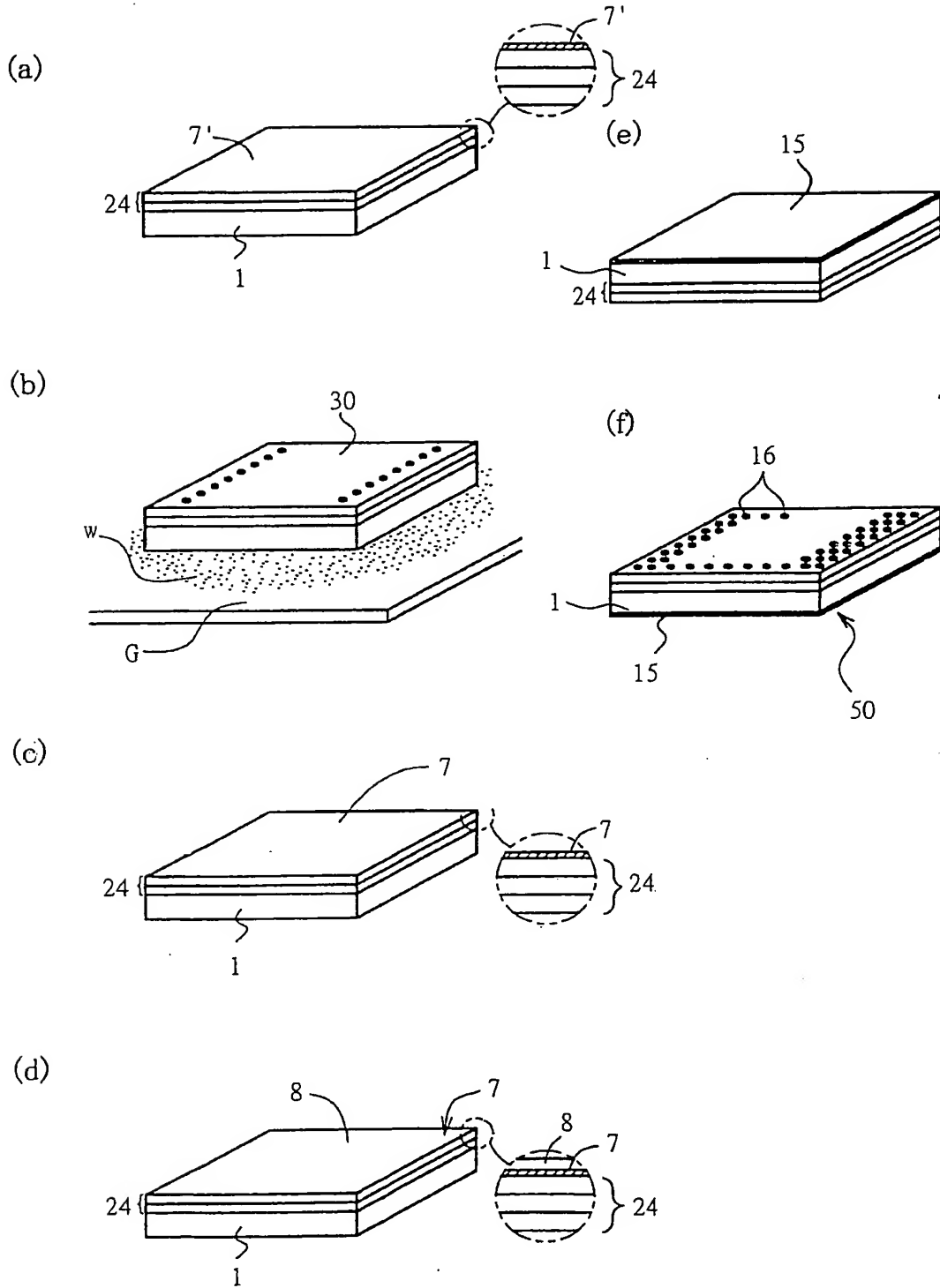


(b)



(c)

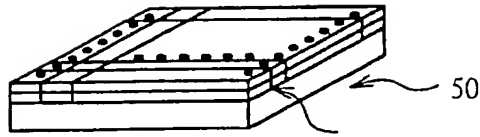




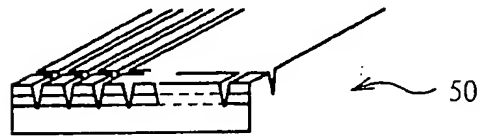


4

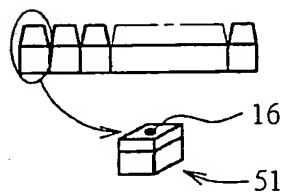
(a)



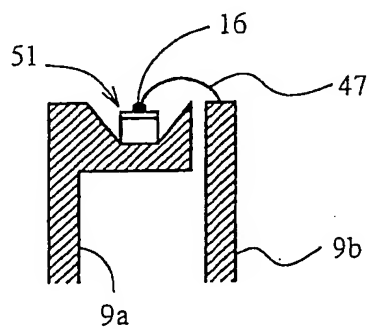
(b)



(c)



(d)



(e)

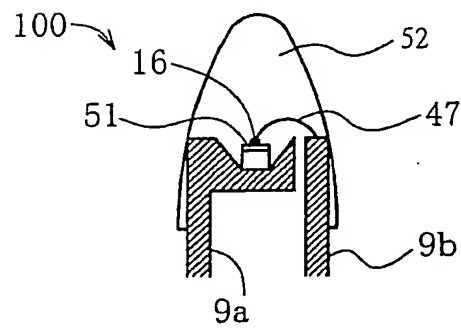
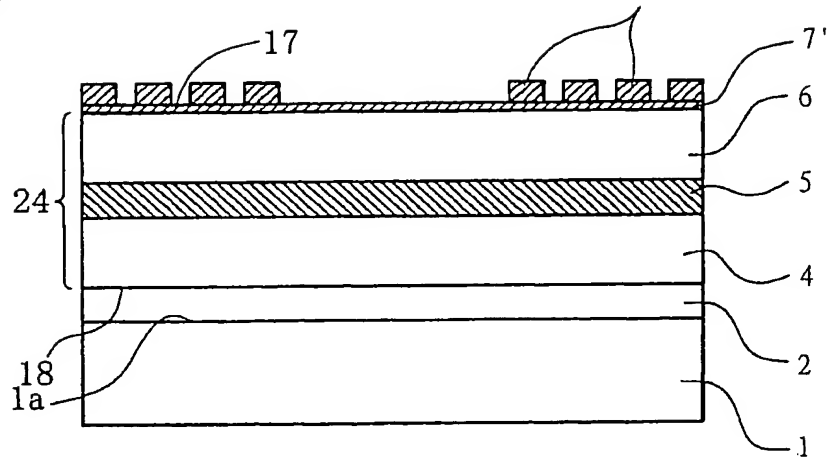


圖 5

(a)



(b)

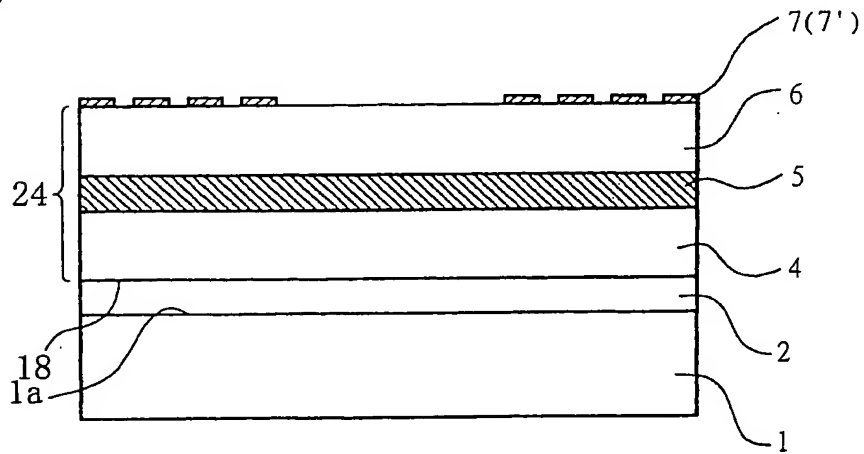
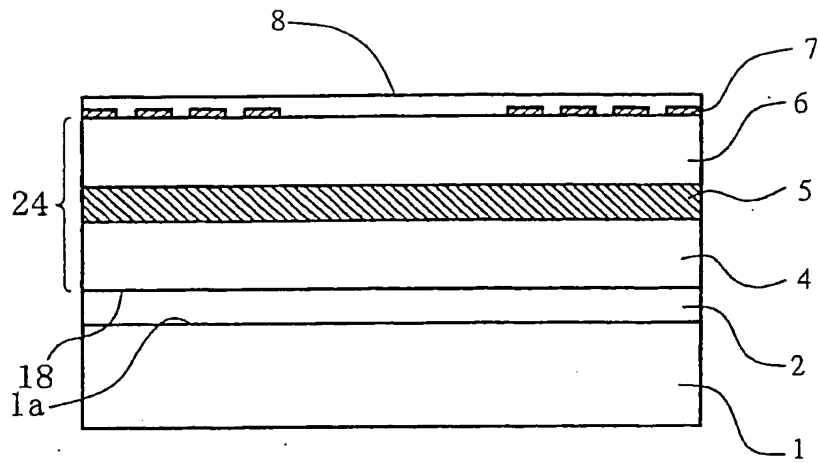
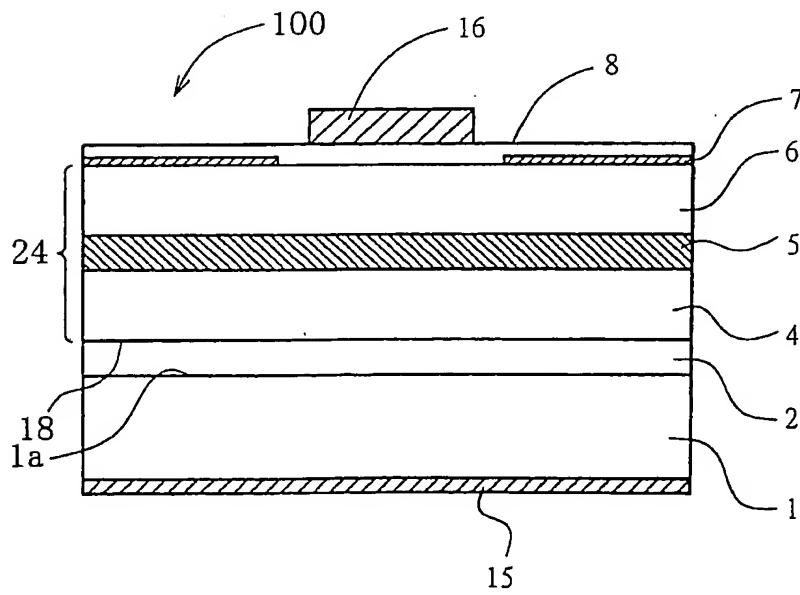
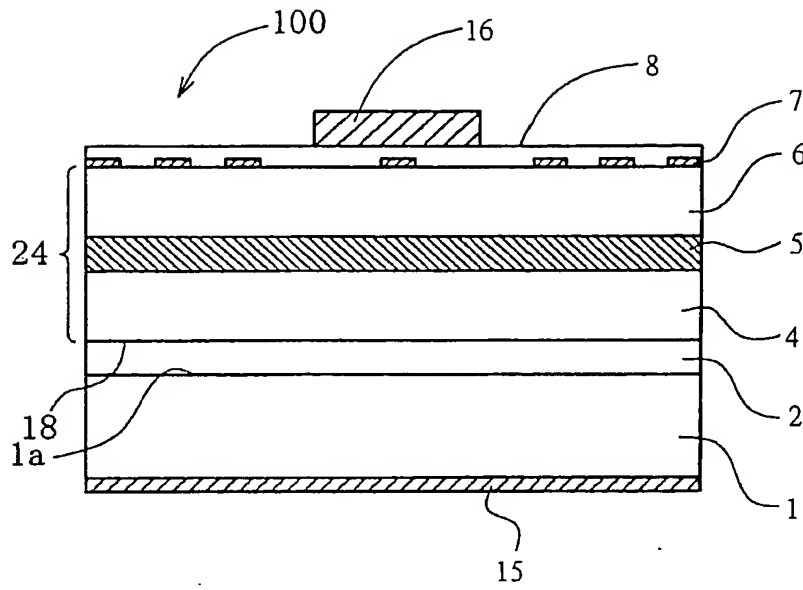


圖 6









9

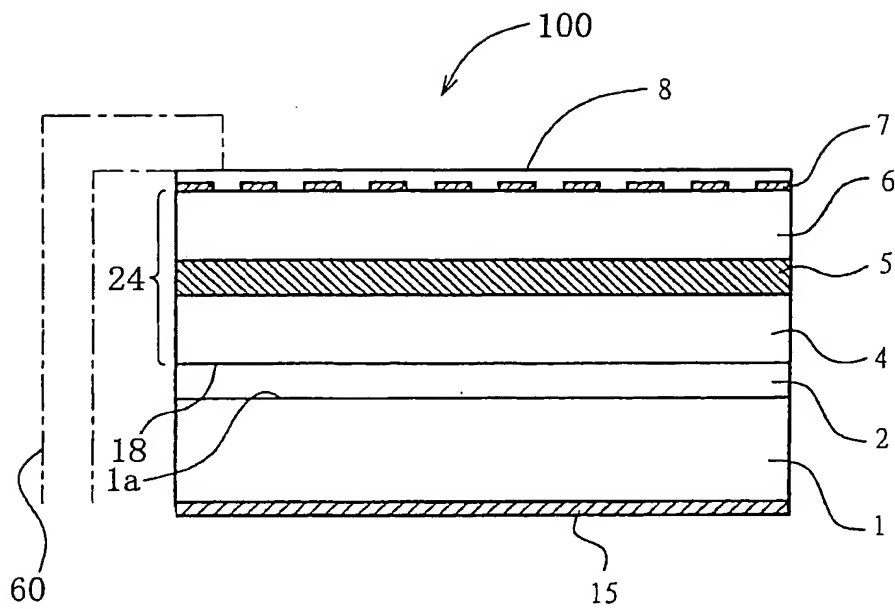


圖 10

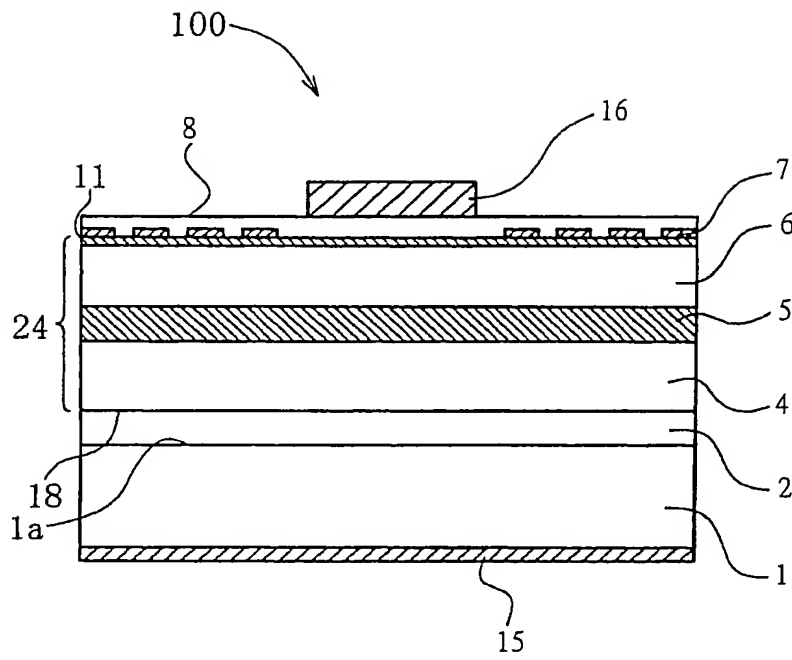


圖 11

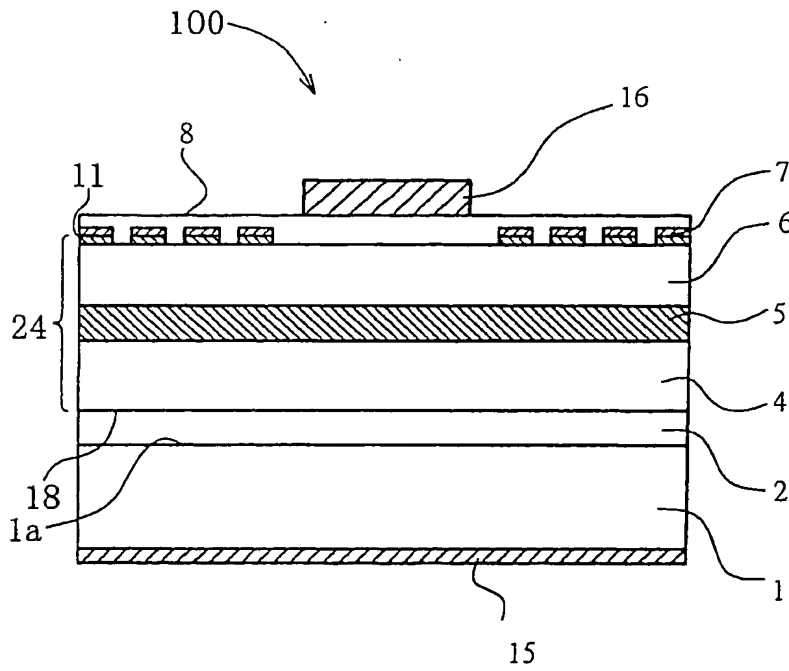
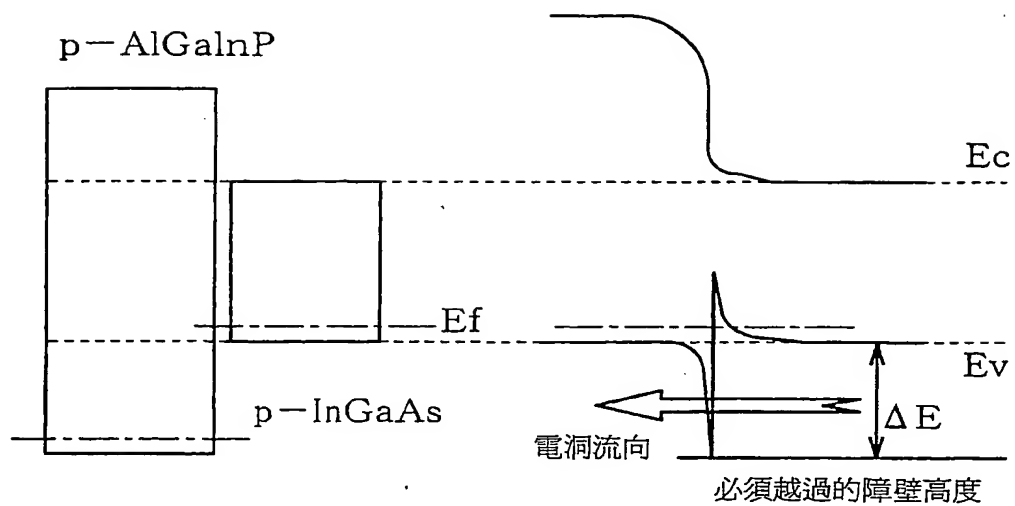
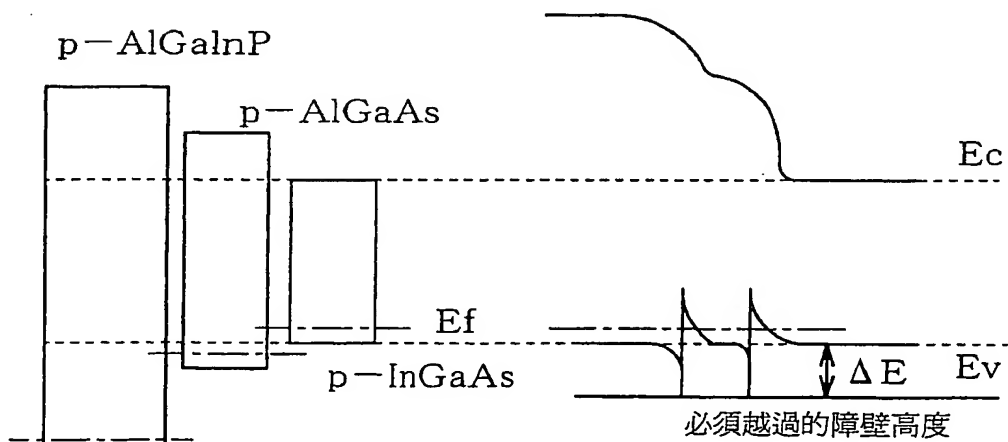


圖 12



(接合前)

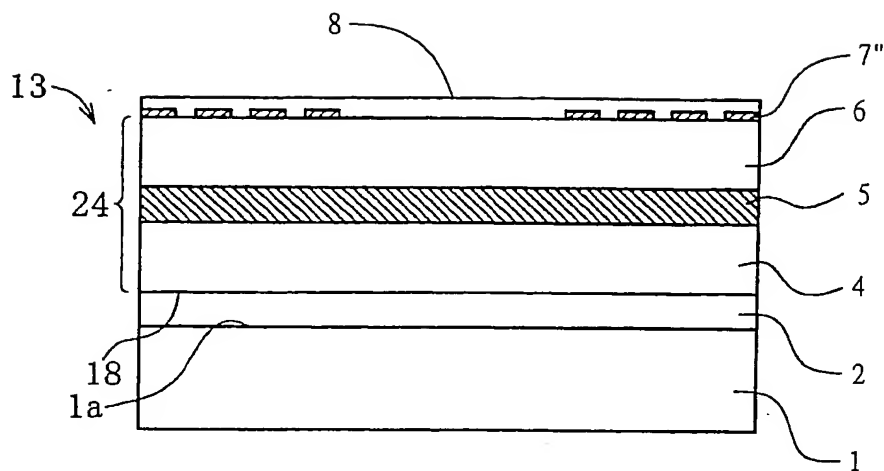
圖 13



(接合前)

(接合後)

14



15

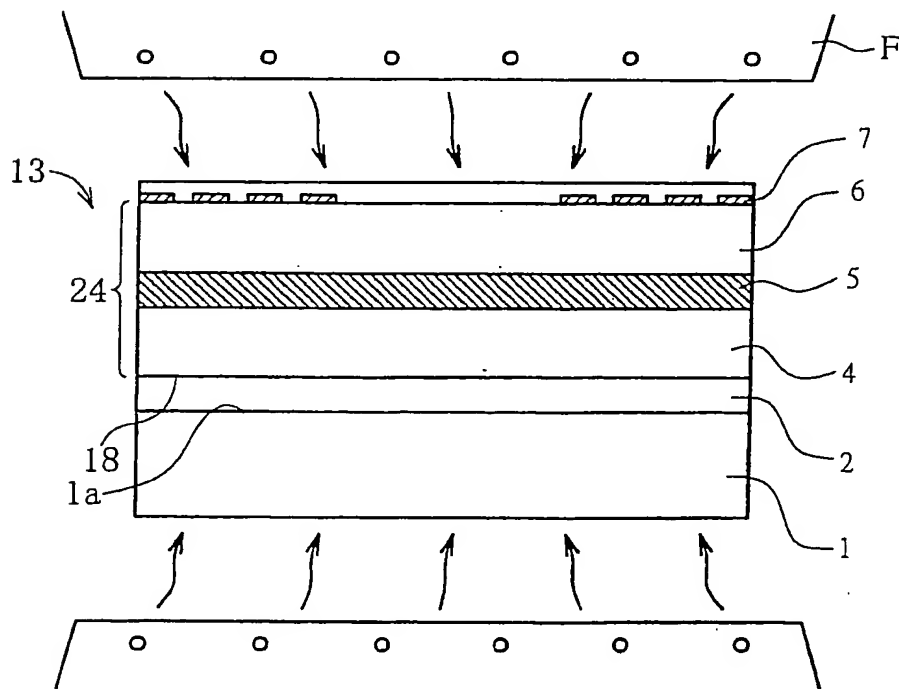


圖 16

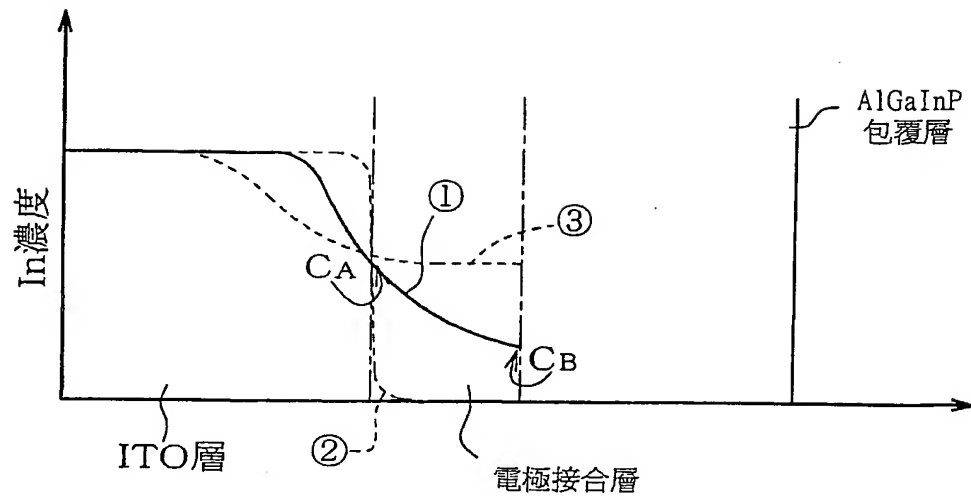


圖 17

